

模拟电路设计中匹配器件组版图自动生成技术

吴玉平, 张学连, 陈 岚, 方 山

(中国科学院 微电子研究所, 北京 100029)

摘 要: 目前, 大多数模拟版图设计者采用人工方式分析电路图、查找匹配器件组, 从而进行手工布局. 在大规模集成电路设计中, 为了缩短集成电路的设计周期, 降低成本, 利用 C++ 语言算法开发一款模拟集成电路版图布局自动化的工具. 针对模拟电路中匹配器件组的匹配模式不同, 根据每种匹配模式的特点编写了相应匹配器件组自动布局的算法, 缩短版图的布局时间, 从而缩短了设计周期, 降低设计成本. 通过对每种匹配模式的模拟测试及结果分析, 验证了该算法的可行性和有效性.

关键词: 模拟电路; 匹配器件组; 自动布局

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2014)04-0136-04

Automatic Placement for Matched Devices of Analog Circuits

WU Yu-ping, ZHANG Xue-lian, CHEN Lan, FANG Shan

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: It is time-consuming to obtain the matched devices by manual analysis and place them in hand for analog circuits of the mixed signal system. In order to shorten the design cycle, reduce the cost of integrated circuit design, this paper develops the tool for analog integrated circuit layout design automation with C++ language. Because the modes of matched device groups in analog circuits are different, according to the characteristics of different matching styles, we edit the corresponding algorithm for automatic placement, so as to shorten the design cycle and reduce design cost. And the experimental results verify the automatic placement algorithm of matched device groups.

Key words: analog circuit; matched device groups; automatic placement

1 引言

版图设计是电路设计中不可或缺的环节, 是设计与制造的桥梁. 在数字电路中, 版图设计主要考虑如何优化芯片的尺寸, 设计者可以选用自动布局; 而在模拟设计中, 由于其对器件特性的依赖性很强, 为了确保物理电路特性的可靠性, 大多数版图设计者仍采用人工设计的方式进行版图布局^[1]. 即先了解具体的工艺, 然后熟悉电路模块, 确定版图的大致布局, 按照 cell—>Block—>Chip 次序进行手工布局. 如今电路设计规模越来越大, 采用手工布局设计周期较长, 设计成本较高. 如果改为自动布局, 可以减少布局时间, 缩短设计周期, 提高效率, 也可以根据自动布局的结果提取各种寄生参数, 快速的估

算各种寄生效应. 本文主要对匹配器件组版图的自动生成进行研究及算法开发.

2 匹配器件组自动布局

在手工布局中, 设计者从电路图中读取匹配器件的各项参数, 按照一定规则放置器件单元, 绘制版图. 自动布局技术是将手工操作通过算法实现的自动化技术, 其流程如图 1 所示.

模拟电路的自动布局流程主要分为以下几步:

(1) 读取电路网表, 通过电路分析工具自动地产生约束条件;

(2) 根据上一步产生的约束条件调用器件组引擎, 进行器件组布局;

(3) 在第一步中的约束条件下进行电路自动布

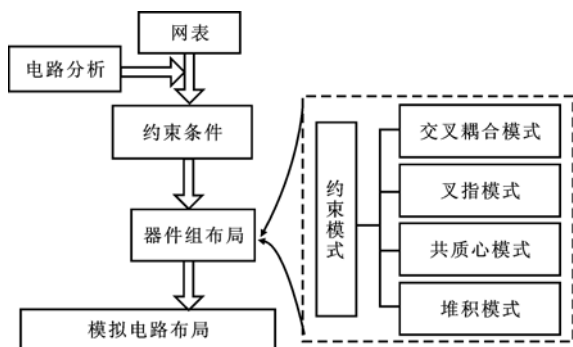


图1 匹配器件组版图自动生成的流程图

局,即版图布局自动生成。

在模拟电路设计中,通过电路分析获取约束条件和进行模拟电路布局超出本文的研究范围。本文主要研究匹配器件组的自动布局。根据匹配约束的不同,器件组布局的模式可以分为交叉耦合匹配模式、叉指匹配模式、共质心匹配模式和一般堆积模式四大类^[2-4]。

3 匹配器件组的布局算法

3.1 交叉耦合匹配模式

交叉耦合模式为一个二维(2×2)共质心阵列。为了使匹配器件组因工艺改变造成的失配度最小化,该匹配模式多用于差分对、匹配电容、二极管、晶体管排布上。这是紧凑的交叉耦合布局是根据设计者的经验提取出来的。匹配电阻器件很少排布成交叉耦合对的形式。

交叉耦合模式的自动布局要求器件的分段数被2整除。如图2所示,器件A和B均被分为两部分,器件A被放置在一、三象限,器件B被放置在二、四象限。该模式的算法主要分为三步。首先计算该匹配器件组布局模块的起始点的位置,然后计算每个器件叉指的位置,放置器件并调整器件的状态。

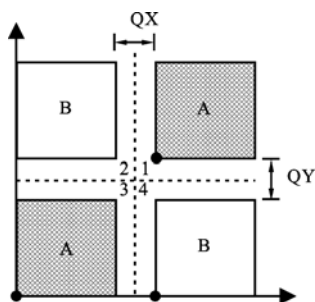


图2 交叉耦合模式版图布局示意图

以第一象限为例,对交叉耦合模式的算法进行简单介绍。假定器件叉指在X轴的长度为FX,在Y轴的宽度为FY;两器件叉指之间的距离,在X轴方向的长度为DX,在Y轴方向的宽度为DY;如图2所示,两象限水平方向的间距为QX,垂直方向的间距

为QY。假定每个器件的叉指数目为n,则第一象限起始点的坐标(RefX, RefY)为

$$RefX = (FX + DX) * n/2 + ((QX > DX) ? (QX - DX) : 0);$$

$$RefY = FY + ((QY > DY) ? QY : DY).$$

然后计算第一象限中放置下一个(第i+1个)器件叉指的坐标(Xcoor, Ycoor):

$$Xcoor = RefX + (FX + DX) * i;$$

$$Ycoor = RefY.$$

最后根据计算结果放置器件。当i为偶数时,当前需放置的叉指与其前一个叉指垂直对称。

其他三象限的算法类似与第一象限。不同之处在于,第二象限与第一象限的器件放置状态呈垂直对称,第三象限与第一象限呈中心点(质心)对称,第四象限与第一象限呈水平对称。如图3所示,A1与A4、A2与A3以及B1与B4、B2与B3的状态呈质心对称,而且器件A与B的质心重合。

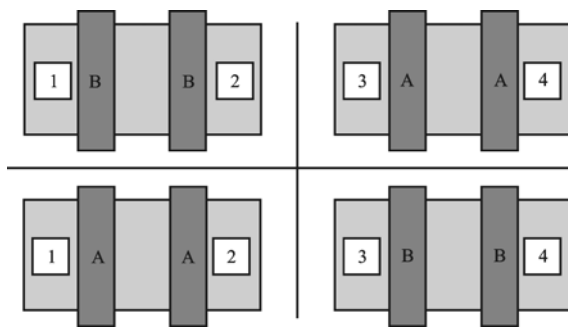


图3 交叉耦合模式布局示意图

3.2 叉指匹配模式

叉指匹配模式为一维共质心阵列,如果两个器件被标记为A和B,则叉指结构为ABAB或者AB-BA。为了使器件因工艺、电压和温度等因素引起的参数差异最小化,使寄生最小化,本文主要研究AB-BA形式的叉指匹配模式,如图4所示。在模拟电路设计中,当器件非常大时,经常将器件分为若干分段。而为了确保阵列的分散性和紧凑性,以及得到更好的器件性能,这种器件调用叉指引擎进行布局。

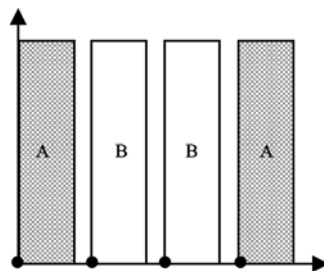


图4 ABBA叉指阵列示意图

叉指布局在走向上可以分为由左向右、由上到

下;在叉指的旋转角度上可以分为旋转 90° 或者不旋转.

在算法中,首先判断该匹配器件组中器件的叉指数是否为偶数.若为奇数则中断运行程序.若为偶数,计算器件放置位置的坐标值,判断器件的放置状态,然后放置器件.以由左向右为顺序走向的叉指布局为例,如图 5 所示,其算法如下:

$$X_{\text{coor}} = (FX + DX) * i;$$

$$Y_{\text{coor}} = 0.$$

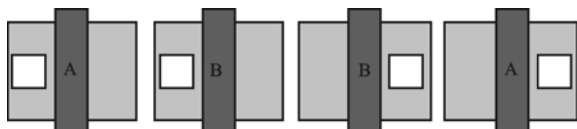


图 5 以由左向右布局的叉指匹配模式的示意图

3.3 共质心匹配模式

共质心模式,如图 6 所示,要求匹配器件组内器件的质心尽可能一致,理想情况下质心应完全一致.其适应于大规模电流源电路、复杂的开关电容电路等电路中.

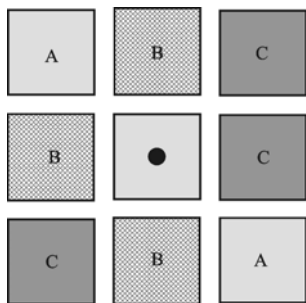


图 6 普通共质心布局的示意图

匹配器件组的共质心布局分为三步:首先计算行列数,得到最优阵列;然后利用模拟退火算法优化

$$Cost =$$

$$\sqrt{(X_{D0} - X_0)^2 + (Y_{D0} - Y_0)^2 + \dots + (X_{Dn-1} - X_0)^2 + (Y_{Dn-1} - Y_0)^2 + \dots + (X_{D(n-1)} - X_0)^2 + (Y_{D(n-1)} - Y_0)^2} \quad (4)$$

扰动方式为遵循质心对称原则移动某些器件.重复 N 次(N 为阵列的大小)扰动方式,计算出最小的代价函数值,此时器件的放置为模块的最优布局.

(3) 布局

按照模拟退火的结果放置器件,然后调整器件的镜像和旋转状态.

3.4 堆积匹配模式

普通堆积模式是将器件依次排布在阵列中,应用于电流源等要求低匹配度的电路中.堆积情况可以分为单排模式、单列模式、多排模式和多列模式四类.如果为多排模式,在自动布局前需计算每排放置

器件组布局位置;最后放置器件,调整器件的放置状态以优化布局.

(1) 最优阵列

计算最优矩阵时存在两种情况.一种情况为添加虚拟(陪衬)器件, $TryRatioXY$ 为布局模块的长宽比, $TryCost$ 为代价函数,它们的计算公式为

设 Row 为行数, Col 为列数,

$$TryRatioXY = \frac{(FX + X) * Col - DX}{(FY + DY) * Row - DY} \quad (1)$$

$$TryCost =$$

$$\sqrt{(TryRatioXY - RefRatio)^2 + (TrywasteArea / TotalArea)^2} \quad (2)$$

式中, $RefRatio$ 为参考值, $TrywasteArea$ 为放置虚拟(陪衬)器件的面积, $TotalArea$ 为器件组布局的总面积.

另一种情况为不添加虚拟(陪衬)器件,其代价函数 $TryCost$ 的计算公式为

$$TryCost = |TryRatioXY - RefRatio| \quad (3)$$

两种情况均需求解出 $TryCost$ 的最小值.当 $TryCost$ 取最小时, Row 与 Col 的值为阵列最优解,从而得到最优阵列.

(2) 优化器件布局

设器件中含有的叉指数目为 n .首先要判断 n 是否为偶数.如果 n 是奇数,需要将器件放置在阵列的空闲位置上.然后将器件随机放置在阵列中某位置及其质心对称的位置上,使阵列为该器件分配 n 个位置.假定 (X_0, Y_0) 为阵列的质心坐标点, (X_{Di}, Y_{Di}) 为器件的质心,则模拟退火算法中的代价函数 $Cost$ 的计算公式为

的叉指数.在布局中,如果指定了模块布局在 Y 方向的典型值,或者未给出任何阵列信息,此时需要计算出最优阵列,选择多排模式布局.如果为多列模式,在自动布局前需计算每列放置的叉指数.在布局时,如果指定模块布局在 X 方向的典型值,先计算最优阵列,然后选择多列模式布局.

4 测试结果

实验是根据模拟电路中可能存在的匹配器件组进行模拟,在 C++ 环境中测试.在实验中,交叉耦合匹配模式和叉指匹配模式的模拟布局测试均给出

两个器件及其参数,共质心匹配模式与堆积匹配模式的模拟布局测试给出四个器件及其参数。

交叉耦合模式布局的测试结果如图7所示,器件A、B分为两部分,且分别放置在一、三和二、四象限中,构成 2×2 共质心阵列,达到预期结果,实现了交叉耦合模式布局的自动生成。

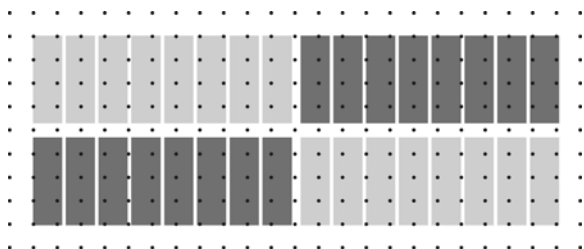


图7 交叉耦合模式自动布局的模拟结果

叉指匹配布局在测试中选择由左向右的布局模式,其测试结果如图8所示,匹配器件组按照ABBA的形式以由左向右的顺序进行布局,实现了叉指匹配模式的自动布局。

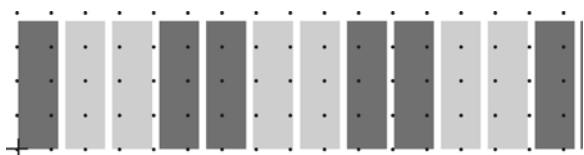


图8 叉指匹配模式自动布局的模拟结果

以四个器件构成的匹配器件组为例,共质心模式的测试结果如图9所示,器件以质心对称的原则紧凑排布,实现了匹配器件组版图的自动布局。

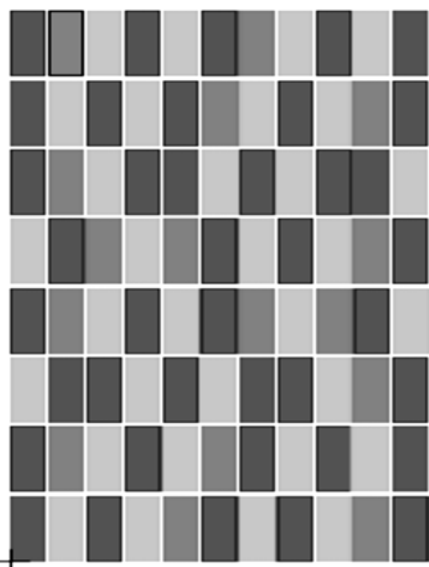


图9 普通共质心自动布局的模拟结果

堆积模式在测试中以仅给出匹配器件组参数,未给出阵列的任何信息为例,其测试结果如图10所示,自动布局算法先计算出最优阵列,然后选择多排模式

进行布局,实现了匹配器件组堆积布局的自动生成。

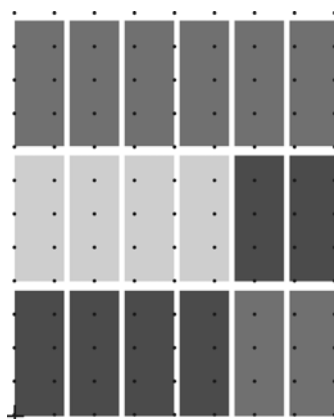


图10 堆积模式自动布局的模拟结果

5 结束语

本文研究了匹配器件组版图布局自动化的算法.器件组版图布局的匹配模式分为交叉耦合模式、叉指模式、共质心模式和堆积模式四种,然后分别对四种模式进行了算法开发.通过实验证明了所开发算法的可行性和有效性。

参考文献:

- [1] Alan Hastings. The art of analog layout-full[D]. Beijing: Tsinghua University Press, 2004.
- [2] Yiu-Cheong Tam, Evangline F Y Young, Chris Chu. Analog placement with symmetry and Other Placement constraints[C]// Proceedings of the international Conference on Computer-Aided Design. San Jose CA: ACM, 2006:349-354.
- [3] Qiang Ma, Evangline F Y Young, Pun K P. Analog placement with common centroid constraints[C]// Proceedings of international Conference on Computer-Aided Design. San Jose CA: IEEE, 2007:579-585.
- [4] Ender Yilmaz, Gunhan Dundar. Analog layout generator for CMOS circuits[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(1):32-45.

作者简介:

吴玉平 男,(1968—),硕士生导师.研究方向为混合信号集成电路设计技术与方法学。

张学连 女,(1987—),工程师.研究方向为混合信号电路设计方法学及EDA技术。

陈岚 女,(1968—),博士生导师.研究方向为超深亚微米芯片设计方法学及计算机系统机构。

方山 男,(1990—),硕士研究生.研究方向为数模混合集成电路设计自动化。